

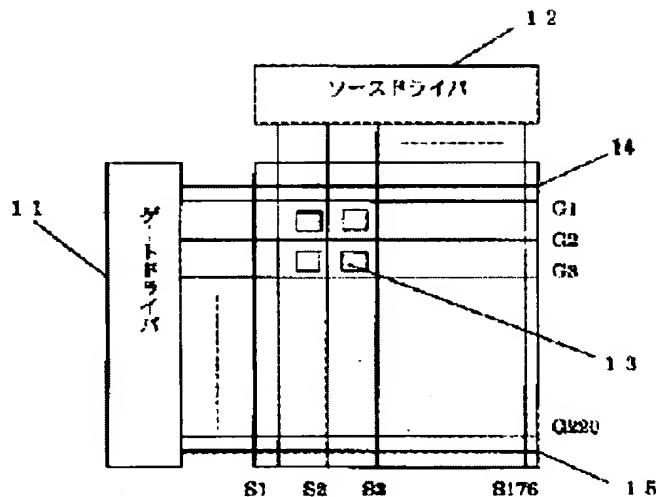
**JP2003157049****Publication number:** JP2003157049**Publication date:** 2003-05-30**Inventor:****Applicant:****Classification:**

- **International:** H01L51/50; G09F9/30; G09G3/20; G09G3/30; H01L27/32; H05B33/14; H01L51/50; G09F9/30; G09G3/20; G09G3/30; H01L27/28; H05B33/14; (IPC1-7): G09G3/30; G09F9/30; G09G3/20; H05B33/14

- **European:**

**Application number:** JP20010354495 20011120**Priority number(s):** JP20010354495 20011120**Report a data error here****Abstract of JP2003157049**

**PROBLEM TO BE SOLVED:** To prevent a display unevenness which is generated at the time of simultaneously driving a plurality of gate lines in the current drive of organic EL (electroluminescent) elements. **SOLUTION:** This active matrix type display device has a period for selectively scanning a plurality of gate lines G1 to G220 being (n) lines simultaneously and also is provided with dummy gate lines 14, 15 which are one line or more and which have thin film transistors for driving a pixel at least at an end part being either at least before a scan starting line or after a scan completing line and, in the display device, a plurality of gate lines in which the gate lines and the dummy gate lines are included are selectively scanned.

Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-157049

(P2003-157049A)

(43)公開日 平成15年5月30日 (2003.5.30)

(51)Int.Cl.<sup>7</sup> 識別記号  
G 0 9 G 3/30  
G 0 9 F 9/30 3 3 8  
3 6 5  
G 0 9 G 3/20 6 2 2  
6 4 1

F I  
G 0 9 G 3/30  
G 0 9 F 9/30  
G 0 9 G 3/20  
J 3 K 0 0 7  
3 3 8 5 C 0 8 0  
3 6 5 Z 5 C 0 9 4  
6 2 2 D  
6 4 1 D

審査請求 未請求 請求項の数3 O L (全7頁) 最終頁に続く

(21)出願番号 特願2001-354495(P2001-354495)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日 平成13年11月20日 (2001.11.20)

(72)発明者 奥野 武志

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 太田 益幸

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

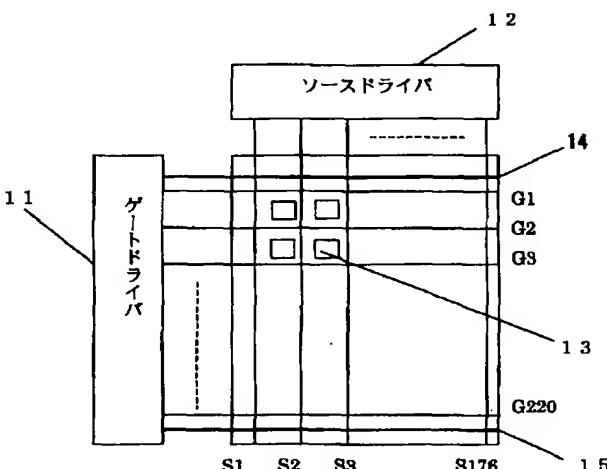
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型表示装置、及びその駆動方法

(57)【要約】

【課題】 有機EL素子の電流駆動において、複数本のゲートラインを同時に駆動するときに生じる表示むらを防止する。

【解決手段】 n本の複数のゲートラインG1からG20を同時に選択走査する期間を有すると共に、少なくとも上記ゲートラインの端部において、画素駆動用の薄膜トランジスタを持った1本以上のダミーゲートライン14・15を、少なくとも走査開始ラインの前、走査終了ラインの後のいずれか一方に具備すると共に、ゲートラインとダミーゲートラインを含めたゲートラインを複数本選択・走査する。



## 【特許請求の範囲】

【請求項1】 行状に配設される複数のゲートラインと、列状に配設される複数のデータラインと、それらの交差部にマトリクス状に配設される有機EL素子、蓄積容量、及び画素駆動用の薄膜トランジスタを含む画素部と、前記複数のデータラインごとに画像信号の供給を制御するための複数の電流源を有するソースドライバと、前記複数のゲートラインを制御するゲートドライバとからなり、前記ゲートドライバは、 $n$ 本の複数のゲートラインを同時に選択走査する期間を有すると共に、少なくとも前記ゲートラインの端部にて、画素駆動用の薄膜トランジスタを持った( $n-1$ )本以上のダミーゲートラインが備えられることを特徴とするアクティブマトリクス型表示装置。

【請求項2】 ダミーゲートラインは、前記ゲートラインの走査方向に対応し、少なくとも走査開始ラインの前、走査終了ラインの後のいずれか一方に備えられることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項3】 請求項1記載のアクティブマトリクス型表示装置において、ゲートラインとダミーゲートラインを含めたゲートラインを複数本選択され、順次走査されることを特徴とするアクティブマトリクス型表示装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はアクティブマトリクス型表示装置に関する。より詳しくは、表示データを電流制御により駆動し、有機EL素子を発光させるアクティブマトリクス型表示装置の駆動技術に関する。

## 【0002】

【従来の技術】 図4を参照して従来のアクティブマトリクス型表示装置の構成を説明する。図4は、従来パネルの回路ブロックの例を示す。従来のアクティブマトリクス型表示装置は、行状に配線した複数のゲートラインG1からG220と、列状に配線した複数のソースラインS1からS196と、上記ゲートライン、及びソースラインの交差部に設けられる有機EL素子、蓄積容量、及び画素駆動用の薄膜トランジスタTFTより構成された画素部43と、上記複数のデータラインごとに、画像信号の供給を制御するための複数の電流源を具備したソースドライバ42と、上記複数のゲートラインを制御するゲートドライバ41とから構成されている。

【0003】 次に、図5を参照しながら、有機EL素子を電流駆動にて動作させる方法について説明する。図5は上記表示素子における1つの画素と1つのソースラインを示す。ここで、51は画素部であり、VDDは電源、Csは蓄積容量、MP1からMP4はPチャンネル型のMOSトランジスタ、ELは有機EL素子を示している。また、GnAはMOSトランジスタMP1および

MP3をオン又はオフさせるための制御信号、GnBは同様にMOSトランジスタMP4をオン又はオフさせるための制御信号であり、MP1・MP3・MP4はそれぞれのゲートラインを介してゲートドライバに接続されている。また52はソースライン、54はソースライン上に存在する抵抗成分Rと容量成分Cからなる負荷インピーダンス、53はソースドライバ中の画像信号をセットするための電流源である。ここで、画像データが決定されると、電流源53にはデータに対応した電流Idが設定される。

【0004】 次にGnAが「L」になるとMOSトランジスタMP1・MP3がオンとなり、蓄積容量Csに設定電流Idに対応した電荷が蓄積される。次に蓄積容量CsによりMOSトランジスタMP2がバイアスされ、ソースライン52には設定電流Idと等しい電流Iが印加される。次にGnAが「H」、GnBが「L」になると、MP4がオンとなり、結果的にソースライン電流IはMP4を介して有機EL素子に書き込まれ、設定電流に応じて、有機EL素子が発光する。

【0005】 以上のようにして、他のゲートラインに対しても、同様の方法で画像データを書き込んでいく。なお、上記「L」は、ローレベルを示し、上記「H」は、ハイレベルを示す。また、上記「オン」は、MOSトランジスタのドレイン電極・ソース電極間が導通状態であることを示し、上記「オフ」は、MOSトランジスタのドレイン電極・ソース電極間が非導通状態であることを示す。

## 【0006】

【発明が解決しようとする課題】 ここで、有機EL素子が発光するのに必要な電流は、一般的に数十nAから数μA程度と非常に小さい。特に、黒表示の場合、数十nAの精度で画素に電流を書き込むことが必要となる。また、実際ソースライン52には、負荷インピーダンス54が存在するため、上記のような小さい電流では、負荷インピーダンス54の影響により、1水平走査期間内で、十分な電流を画素51に書き込むことができないといった問題が生じる。

【0007】 上記問題を解決するための一つの方法として、複数本のゲートラインを同時に選択し、ソースラインへの電流を複数倍に増やしてやることにより、負荷インピーダンス54の影響による書き込み不足を低減させる方法が挙げられる。

【0008】 次に、図6を参照しながら、上記複数本の駆動を行う方法とそのときの課題について説明する。図6はゲートラインを複数本同時に選択した場合の動作例について説明した図である。ここで、61・65は画素部であり、構成、動作については図5で示したものと同様である。また、GnA・GnA2はそれぞれの画素のMOSトランジスタをオン又はオフさせるための制御信号であり、それぞれのゲートラインを介してゲートドライバに接続されている。

イバに接続されている。また62はソースライン、64はソースライン上に存在する抵抗成分Rと容量成分Cとからなる負荷インピーダンス、63はソースドライバ中の画像信号をセットするための電流源である。ここで、GnAとGnA2を同時に選択することにより、画素61と画素65には同時にオンとなり、ソースライン62の電流は、画素61と画素65の各電流の和となる。結果として、上記同時選択本数を増やすことにより、ソースライン62への充電能力を増加させることができ、上記ソースラインへの電流の書き込み不足を低減することが可能となる。

【0009】しかしながら、上記複数本駆動を行う場合、新たに表示むらの課題が発生する。上記表示むらの課題について、図7、図8を参照しながら説明する。図7はゲートのタイミングチャート例を示したものである。ここで、G1からG4及びE1からE4は各ゲートラインに印加される信号波形を示し、それぞれ図5のGnA及びGnBに対応している。なお、各波形の論理についてはここでは考慮していない。つまり、G1からG4がソースラインへの書き込みタイミングであり、E1からE4は有機EL素子を発光させるタイミングである。また、72は1ライン分に相当する水平走査期間を示す。したがって、ここでは3本の信号を同時に選択させる場合を想定している。ここで、各タイミングにおいて、図7の実線以降では、すべて3本のゲートラインが同時に選択されている。しかし、それ以前のタイミングにおいては1本・2本と同時選択本数が不足している期間71が存在することがわかる。

【0010】上記のように、ゲートラインを複数本同時に選択させて走査した場合、走査開始ラインと走査終了ラインには、同時選択する本数に応じて必ず選択数が不足するラインが存在してしまう。本例では3本のゲートラインを同時選択しようとしているので、走査開始ラインと走査終了ラインには同時選択本数3本から1引いた数、具体的には、それぞれ2本のゲートラインについて、同時選択本数の不足が生じる。前述したように、同時に選択する本数を増やすと、ソースラインへの書き込み不足は低減されるので、反対に、上記2本のゲートラインについてはソースラインへの書き込み量が他のゲートラインとは異なってしまう。結果として図8の81・82に示すような表示むらが発生する。

【0011】本発明においては、上記ゲートラインを複数本を同時に選択して走査した場合に発生する表示むらを低減し、高品質な表示装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記課題を解決するためには、本発明のアクティブマトリクス型表示装置は、行状に配線した複数のゲートラインと、列状に配線した複数のデータラインと、それらの交差部にマトリクス状に配

設される有機EL素子、蓄積容量、及び画素駆動用の薄膜トランジスタを含む画素部と、上記複数のデータラインごとに、画像信号の供給を制御するための複数の電流源を有するソースドライバと、上記複数のゲートラインを制御するゲートドライバからなる。

【0013】上記ゲートドライバは、n本の複数のゲートラインを同時に選択走査する期間を有すると共に、少なくとも上記ゲートラインの端部において、画素駆動用の薄膜トランジスタを持った(n-1)本以上のダミーゲートラインを備えている。

【0014】また、上記ダミーゲートラインは、少なくとも走査開始ラインの前、走査終了ラインの後のいずれか一方に配置した構成を有する。また、ゲートラインとダミーゲートラインを含めたゲートラインを複数本選択し、順次走査することを特徴としている。

【0015】

【発明の実施の形態】以下、図面を参照しながら、実施の形態を説明する。

【0016】(実施の形態1) 図1は本発明の実施の形態におけるアクティブマトリクス型表示装置の構成を示したものである。本発明の表示装置は、行状に配線した複数のゲートラインG1からG220と、列状に配線した複数のソースラインS1からS196と、上記ゲートライン及びソースラインの交差部に設けられ、有機EL素子EL、蓄積容量Cs、及び画素駆動用の薄膜トランジスタTFTより構成された画素部13と、上記複数のデータラインごとに、画像信号の供給を制御するための複数の電流源を有するソースドライバ12と、上記複数のゲートラインが制御されるゲートドライバ11とから構成されている。また、ゲートラインG1及びG220の上下には、複数のダミーゲートライン14、及び15が設けられる。

【0017】なお、有機EL素子を電流駆動にて動作させる方法については、従来技術と特に変わりはないので、詳細については省略する。

【0018】次に、本発明の複数のダミーゲートラインを有した表示装置の動作について、図2・図3を参照しながら説明する。図2は本実施例におけるゲートラインの走査開始時のタイミングチャートを示す。ここで、G1からG3及びE1からE3は複数のゲートライン信号を示し、それぞれ図5のGnA及びGnBに対応している。具体的には、G1からG3がソースラインへの書き込みタイミングであり、E1からE3は有機EL素子を発光させるタイミングとなる。また23は1ライン分に相当する水平走査期間を示す。従って、本例では3本の信号を同時に選択させた場合を想定している。また、GD1、GD2及びED1、ED2はダミーゲートラインのタイミングを示す。本例では(同時選択数-1)、つまり2本のダミーゲートラインを有する。

【0019】ここで、各タイミングにおいて、図2の実

線より前の期間に相当するダミー期間21では、1本、2本と同時選択本数が不足しているが、図2の実線以降に相当する実走査期間22では常に3本の同時選択本数が確保できていることがわかる。なお、上記ダミーゲートライン部の画素には、ソースラインの負荷インピーダンスに充電させるMOSトランジスタと蓄積容量のみを用い、有機EL素子を配置しないことにより、ダミーゲートラインの表示については無視できる。

【0020】このように、ゲートの走査開始ラインの前に少なくとも2本のダミーゲートラインを持つことにより、1ライン目から3本同時選択による走査を行うことが可能となり、従来の表示むらの課題を解決することができる。

【0021】以上述べたように、本発明の表示装置を用いることにより、上記複数本を同時に選択して駆動した場合においても従来課題であった表示むらを低減し、高品質な表示装置を得ることができる。

【0022】(実施の形態2) 次に、本発明の第2の実施例における複数のダミーゲートラインを備える表示装置の動作について、図3を参照しながら説明する。なお、表示装置の構成、及び有機EL素子の駆動方法については、(実施の形態1)と特に変わりはないので、ここでは省略する。

【0023】図3は本実施例におけるゲート走査終了時のタイミングチャートを示す。ここで、G218からG220及びE218からE220はゲートライン信号を示したもので、それぞれ図5のGnA及びGnBに対応している。具体的には、G218からG220がソースラインへの書き込みタイミングであり、E218からE220は有機EL素子を発光させるタイミングとなる。また33は1ラインに相当する水平走査期間を示す。したがって、本例では3本の信号を同時に選択させた場合を想定している。また、GD3、GD4及びED3、ED4はダミーゲートラインのタイミングを示す。本例では(同時選択数-1)、つまり2本のダミーゲートラインを有している。

【0024】ここで、各タイミングにおいて、図3の実線以降の期間に相当するダミー期間32では、1本、2本とそれぞれ同時選択本数が不足しているが、図2の実線以前に相当する実走査期間31では常に3本の同時選択本数が確保できていることがわかる。なお、上記ダミーゲートライン部の画素には、ソースラインの負荷インピーダンスに充電させるMOSトランジスタと蓄積容量のみを用い、有機EL素子を配設しないことにより、ダミーゲートラインの表示については無視できる。

【0025】このように、ゲート走査終了ラインの後に少なくとも2本のダミーゲートライン配置することにより、220ライン目まで3本同時選択による走査を行うことが可能となり、従来の表示むらの課題を解決することができる。

【0026】以上述べたように、本発明の表示装置を用いることにより、複数本を同時に選択して駆動した場合においても従来課題であった表示むらを低減し、高品質な表示装置を得ることができる。

#### 【0027】

【発明の効果】本発明のアクティブマトリクス型表示装置は、n本の複数のゲートラインを同時に選択走査する期間を有すると共に、少なくとも上記ゲートラインの端部において、画素駆動用の薄膜トランジスタを持った(n-1)本以上のダミーゲートラインを、少なくとも走査開始ラインの前、走査終了ラインの後のいずれか一方に具備し、そしてゲートラインとダミーゲートラインを含めたゲートラインを複数本選択し、順次走査することにより、実際の走査期間において、常に複数本の同時選択による走査を行うことが可能となり、従来の表示むらの課題を解決すると共に、高品質な表示装置を得ることができ、産業的価値が大きい。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態におけるアクティブマトリクス型表示装置の構成図

【図2】本発明の実施の形態1におけるアクティブマトリクス型表示装置のタイミングチャートを示した図

【図3】本発明の実施の形態2におけるアクティブマトリクス型表示装置のタイミングチャートを示した図

【図4】従来のアクティブマトリクス型表示装置の構成図

【図5】従来のアクティブマトリクス型表示装置の画素構成図

【図6】従来のアクティブマトリクス型表示装置の課題を示した図

【図7】従来のアクティブマトリクス型表示装置のタイミングチャートを示した図

【図8】従来のアクティブマトリクス型表示装置の表示課題を示した図

#### 【符号の説明】

11、41 ゲートドライバ

12、42 ソースドライバ

13、43、51、61、65 画素部

14、15 ダミーゲートライン

21、32 ダミー期間

22、31 実走査期間

23、33、72 水平走査期間

52、62 ソースライン

53、63 電流源

54、64 負荷インピーダンス

71 同時選択数不足期間

81、82 表示むら

G1からG220 ゲートライン

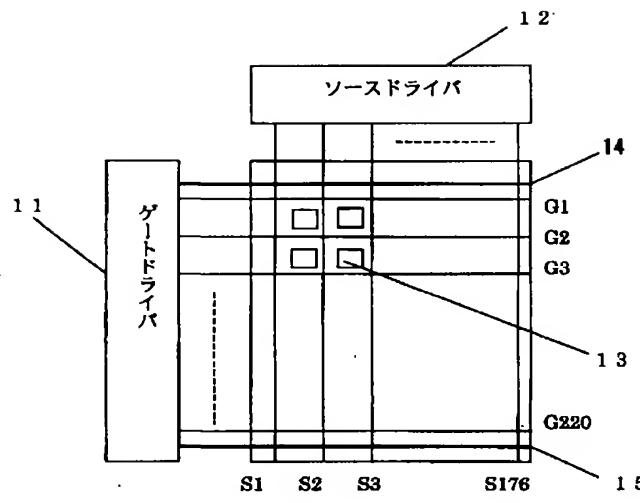
S1からS176 ソースライン

GD1からGD4、ED1からED4 ダミーゲートラ

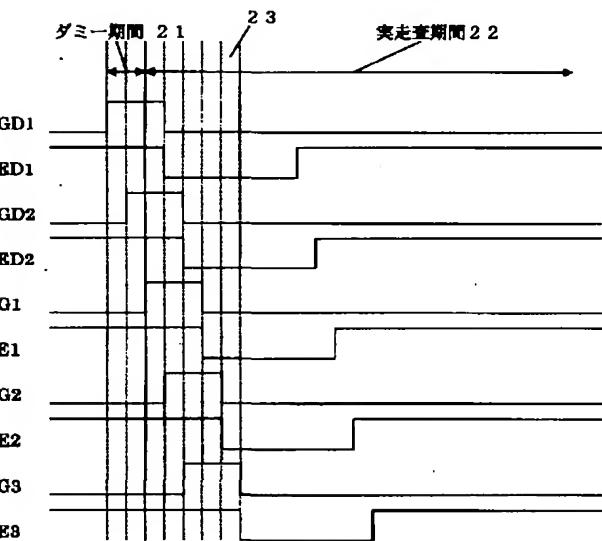
イン波形  
 VDD 電源  
 Cs 蓄積容量  
 Id データ設定電流

I ソース電流  
 GnA、GnA2、GnB ゲート選択信号  
 MP1からMP4 PチャンネルMOSトランジスタ  
 EL 有機EL素子

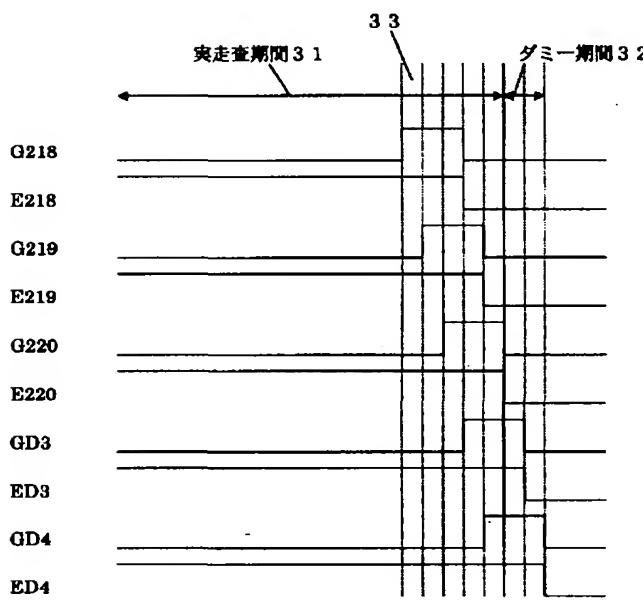
【図1】



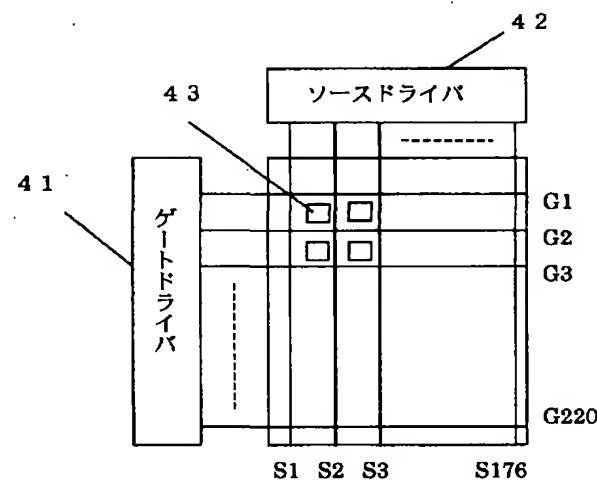
【図2】



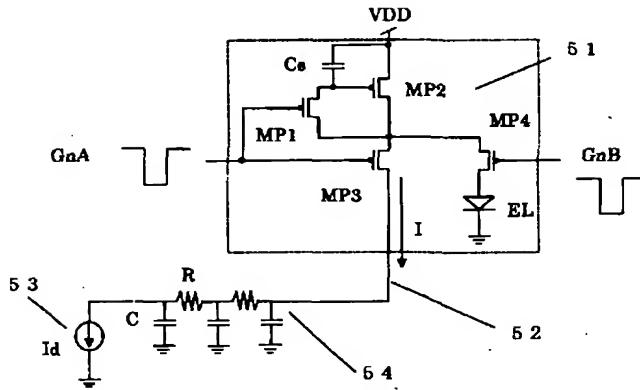
【図3】



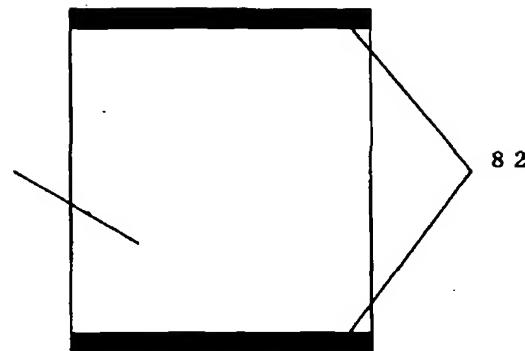
【図4】



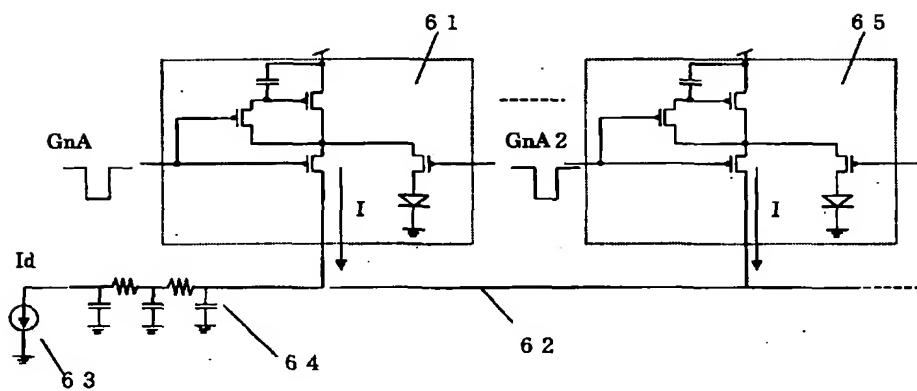
【図5】



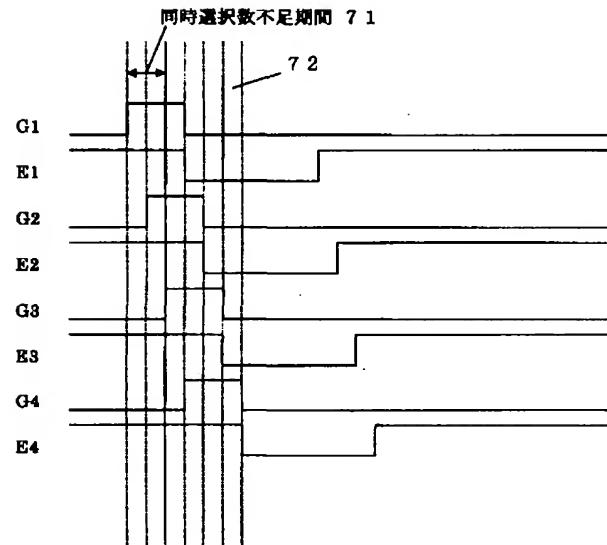
【図8】



【図6】



【図7】



## フロントページの続き

(51) Int. Cl. 7

G 09 G 3/20

H 05 B 33/14

識別記号

6 4 2

F I

G 09 G 3/20

H 05 B 33/14

マークコード(参考)

6 4 2 A

A

F ターム(参考) 3K007 AB17 BA06 BB07 DB03 GA04

5C080 AA06 BB05 DD05 EE28 FF11

JJ02 JJ03 JJ04

5C094 AA03 AA07 AA48 AA53 AA55

AA56 BA03 BA27 CA19 CA25

DA09 FB01 FB20 GA10